

## 新刊レポートのご案内

### 特許分析調査シリーズ 第2弾

# SiC デバイス関連技術の 最新動向分析調査 Part - PCT 公開及び米国登録特許 -

本調査資料は、次世代パワーデバイスとして実用化が始まりつつある SiC について、近年ますます出願が拡大している PCT（国際出願）公開特許にスポットを当て、出願の内容や傾向を分析することで、今後の製品開発や応用展開へのインプリケーションを与えることを意図して作成したものです。

世界的な新興国の経済発展によって知財戦略の重要性が高まる今日では、世界各国で同時に出願できる特許協力条約（PCT：Patent Cooperation Treaty）に基いた国際出願がますます重要性を帯びてきています。本レポートは、この PCT 国際出願に焦点を当て、SiC デバイス技術に関して公開された特許の動向を調査して内容を精査することにより、SiC 開発の世界的な動向や開発上の課題を明らかにするものです。

また、本レポートでは、2006年に発刊しました「米国特許における SiC デバイス関連技術の最新動向分析調査 Part Ⅰ」の拡大・更新として、米国登録特許についての調査も加えています。本レポートに Part Ⅱ を加えることで、SiC 関連デバイス技術に関する米国登録特許の最新状況も掴めるような内容となっています。

本調査資料が多くの SiC 研究者や製品化を担う技術者のお役に立つことを切に願っています。

### 調査内容

本レポートは、世界知的所有権機関（WIPO：World Intellectual Property Organization）が提供する国際公開特許データベースを使用して、1995年1月から2008年4月31日までに公開された特許文献を対象に、SiC 関連技術に使われると思われるキーワードを元に検索を行ない、その結果を元に実際に SiC 関連技術の開発に携わっている専門技術者が分析を行っています。

今回の調査では 442 件の公開特許を抽出し、表 1 の技術区分要素技術に分類を行い、技術的な出願の傾向を時系列、出願人別などによって分析を行っています。さらに専門家の目から見て注目すべき技術内容を有する重要特許を抽出し、代表図面を加えて解説を加えております。

さらに本調査レポートでは、2006 年に発売しました「米国特許における SiC デバイス関連技術の最新動向分析調査 Part Ⅰ」の最新の状況と、Part Ⅱ であまり取り上げなかったその他技術（結晶成長技術、回路・実装技術・その他デバイス）についても、米国特許商標庁の特許検索データベース（USPTO）を使用して検索を行ない、新たに 228 件を抽出して分析を加えています。

このように、今回発刊予定の「SiC デバイス関連技術の最新動向分析調査 Part Ⅱ」は、世界の SiC デバイス関連技術に関する最新の特許動向を、皆様にご提供できるものと考えております。

**表 1. 技術区分表**

技術区分	要素技術
プロセス技術	ドライエッチング
	イオン注入・アニール方法/接合形成
	オーミックコンタクト
	MOS界面
	SOI基板製法/貼り合わせ
	MOSセルフアライメント
	JFET/MESFETセルフアライメント
	その他のプロセス技術
デバイス技術	ショットキーダイオード
	pn接合ダイオード
	Trench MOSFET
	Low Ron MOSFET
	高耐圧Vertical MOSFET
	MOS高信頼化
	Vertical JFET
	Lateral MOSFET/JFET
	BJT
	Thyristor/GTO
	MESFET
	複合デバイス
	IGBT、その他のスイッチング素子
	スーパー接合ほか（各種パワーデバイスに共通）
	ターミネーション/パッシベーション
IC化技術	
結晶成長技術	六方晶（4H,6H）
	ウエハ（ウエハ化、スライス、研磨、エッチング等）
	バルク単結晶の製作技術のための装置（結晶成長、加工）
	CVDホモエピタキシャル成長（4H,6H）
	CVDヘテロエピタキシャル成長（3C-SiC、ナイトライド等）
	その他の成長法（昇華近接法、分子線エピ法、液相エピ法、HTCVD法、溶液成長法
	マイクロパイプ閉塞（filling）
	デバイス作成プロセス（選択エピ、穴埋めエピ、高濃度エピ、拡散法等）
	エピタキシャル結晶成長技術のための装置、治具
	その他
回路・実装技術	検出・保護
	デバイス実装
	主回路
	その他のデバイス（限流素子、負性抵抗素子、センサー等）

# 目次のご案内

「SiC デバイス関連技術の最新動向分析調査 Part PCT 公開及び米国登録特許」の  
ページ構成は、次のようになっています。

1 . 調査内容について	4
2 . PCT 公開特許における全体分析	6
2 - 1 . 収集特許の概要	6
2 - 2 . PCT 公開特許の技術区分別分析	7
2 - 2 - 1 . プロセス技術	8
2 - 2 - 2 . デバイス技術	9
2 - 2 - 3 . 結晶成長技術	11
2 - 2 - 4 . 回路・実装技術	13
2 - 3 . PCT 公開特許の出願人別分析	15
2 - 3 - 1 . プロセス技術に関する出願人分析	16
2 - 3 - 2 . デバイス技術に関する出願人分析	19
2 - 3 - 3 . 結晶成長技術に関する出願人分析	23
2 - 3 - 4 . 回路・実装技術に関する出願人分析	26
2 - 3 - 5 . PCT 公開特許の出願人国籍別分析	27
3 . PCT 公開特許の注目特許分析	28
3 - 1 . プロセス技術	28
3 - 1 - 1 . ドライエッチング	28
3 - 1 - 2 . イオン注入・アニール方法/接合形成	28
3 - 1 - 3 . オーミックコンタクト	32
3 - 1 - 4 . MOS 界面	36
3 - 1 - 5 . SOI 基板製法/貼り合わせ	41
3 - 1 - 6 . MOS セルフアライメント	42
3 - 1 - 7 . JFET/MESFET セルフアライメント	43
3 - 1 - 8 . その他のプロセス技術	45
3 - 2 . デバイス技術	47
3 - 2 - 1 . ショットキーダイオード	47
3 - 2 - 2 . pn 接合ダイオード	52
3 - 2 - 3 . Trench MOSFET	56
3 - 2 - 4 . Low Ron MOSFET	57
3 - 2 - 5 . 高耐圧 Vertical MOSFET	63
3 - 2 - 6 . MOS 高信頼化	65
3 - 2 - 7 . Vertical JFET	67
3 - 2 - 8 . Lateral MOSFET/JFET	69
3 - 2 - 9 . BJT	72
3 - 2 - 10 . Thyristor/GTO	73

3 - 2 - 11	. MESFET	74
3 - 2 - 12	. 複合デバイス	76
3 - 2 - 13	. IGBT、その他のスイッチング素子	79
3 - 2 - 14	. スーパ接合ほか (各種パワーデバイスに共通)	81
3 - 2 - 15	. ターミネーション/パッシベーション	82
3 - 2 - 16	. IC 化技術	86
3 - 3	. 結晶成長技術	88
3 - 3 - 1	. 六方晶 (4H,6H)	88
3 - 3 - 2	. ウエハ (ウエハ化、スライス、研磨、エッチングなど)	90
3 - 3 - 3	. バルク単結晶の製作技術のための装置 (結晶成長、加工)	91
3 - 3 - 4	. CVD ホモエピタキシャル成長 (4H,6H)	99
3 - 3 - 5	. CVD ヘテロエピタキシャル成長 (3C-SiC、ナイトライドなど)	102
3 - 3 - 6	. その他の成長法 (昇華近接法、分子線エピ法、液相エピ法、HTCVD 法、 溶液成長法など)	103
3 - 3 - 7	. マイクロパイプ閉塞 (filling)	104
3 - 3 - 8	. デバイス作成プロセス (選択エピ, 穴埋めエピ, 高濃度エピ, 拡散法など)	104
3 - 3 - 9	. エピタキシャル結晶成長技術のための装置、治具	105
3 - 3 - 10	. その他技術	107
3 - 4	. 回路・実装技術	108
3 - 4 - 1	. 検出・保護	108
3 - 4 - 2	. デバイス実装	108
3 - 4 - 3	. 主回路	110
3 - 4 - 4	. その他のデバイス (限流素子、負性抵抗素子、センサーなど)	112
4	. 米国登録特許における全体分析	113
4 - 1	. 収集特許の概要	113
4 - 2	. 米国登録特許の技術区分別分析	115
4 - 2 - 1	. プロセス技術	116
4 - 2 - 2	. デバイス技術	117
4 - 2 - 3	. 結晶成長技術	119
4 - 2 - 4	. 回路・実装技術	121
4 - 3	. 米国登録特許の出願人別分析	122
4 - 3 - 1	. プロセス技術に関する出願人分析	123
4 - 3 - 2	. デバイス技術に関する出願人分析	127
4 - 3 - 3	. 結晶成長技術に関する出願人分析	131
4 - 3 - 4	. 回路・実装技術に関する出願人分析	135
5	. 米国登録特許の注目特許分析	140
5 - 1	. プロセス技術	140
5 - 1 - 1	. ドライエッチング	140
5 - 1 - 2	. イオン注入・アニール方法/接合形成	141
5 - 1 - 3	. オーミックコンタクト	143
5 - 1 - 4	. MOS 界面	147
5 - 1 - 5	. SOI 基板製法/貼り合わせ	149

5 - 1 - 6	・ MOS セルフアライメント	151
5 - 1 - 7	・ JFET/MESFET セルフアライメント	152
5 - 1 - 8	・ その他のプロセス技術	152
5 - 2	・ デバイス技術	154
5 - 2 - 1	・ ショットキーダイオード	154
5 - 2 - 2	・ pn 接合ダイオード	156
5 - 2 - 3	・ Trench MOSFET	158
5 - 2 - 4	・ Low Ron MOSFET	159
5 - 2 - 5	・ 高耐圧 Vertical MOSFET	161
5 - 2 - 6	・ MOS 高信頼化	162
5 - 2 - 7	・ Vertical JFET	162
5 - 2 - 8	・ Lateral MOSFET/JFET	167
5 - 2 - 9	・ BJT	170
5 - 2 - 10	・ Thyristor/GTO	170
5 - 2 - 11	・ MESFET	170
5 - 2 - 12	・ 複合デバイス	172
5 - 2 - 13	・ IGBT 及びその他のスイッチング素子	173
5 - 2 - 14	・ スーパ接合ほか (各種デバイスに共通)	173
5 - 2 - 15	・ ターミネーション/パッシベーション	175
5 - 2 - 16	・ IC 化技術	178
5 - 3	・ 結晶成長技術	181
5 - 3 - 1	・ 六方晶 (4H,6H)	181
5 - 3 - 2	・ ウエハ (ウエハ化、スライス、研磨、エッチングなど)	183
5 - 3 - 3	・ パルク単結晶の製作技術のための装置 (結晶成長、加工)	183
5 - 3 - 4	・ CVD ホモエピタキシャル成長 (4H,6H)	187
5 - 3 - 5	・ CVD ヘテロエピタキシャル成長 (3C-SiC、ナイトライドなど)	190
5 - 3 - 6	・ その他の成長法 (昇華近接法、分子線エピ法、液相エピ法、HTCVD 法、 溶液成長法など)	191
5 - 3 - 7	・ マイクロパイプ閉塞 (filling)	191
5 - 3 - 8	・ デバイス作成プロセス (選択エピ, 穴埋めエピ, 高濃度エピ, 拡散法など)	192
5 - 3 - 9	・ エピタキシャル結晶成長技術のための装置、治具	192
5 - 3 - 10	・ その他技術	194
5 - 4	・ 回路・実装技術	194
5 - 4 - 1	・ 検出・保護	194
5 - 4 - 2	・ デバイス実装	195
5 - 4 - 3	・ 主回路	198
5 - 4 - 4	・ その他のデバイス (限流素子、負性抵抗素子、センサーなど)	199

< SiC デバイス関連技術の最新動向分析調査シリーズの特許収録状況 >

**Part**

P C T 公開特許 ..... 442 件  
調査対象期間 ..... 1995 年 1 月 1 日 ~ 2008 年 4 月 30 日 ( 公開日 )  
米国登録特許 ..... 228 件  
調査対象期間 ..... 1995 年 1 月 1 日 ~ 2007 年 12 月 31 日 ( 登録日 )

レポート概要 :

A4 版を予定  
Excel 版 対象特許データベース 付属  
予定定価 94,500 円 ( 消費税込み )

**Part**

米国登録特許 ( デバイス技術 / プロセス技術 ) ..... 467 件  
調査対象期間 ..... 1995 年 1 月 1 日 ~ 2005 年 12 月 31 日 ( 登録日 )

レポート概要 :

A4 版 総ページ数 167 ページ  
Excel 版 対象特許データベース 付属  
定価 94,500 円 ( 消費税込み )

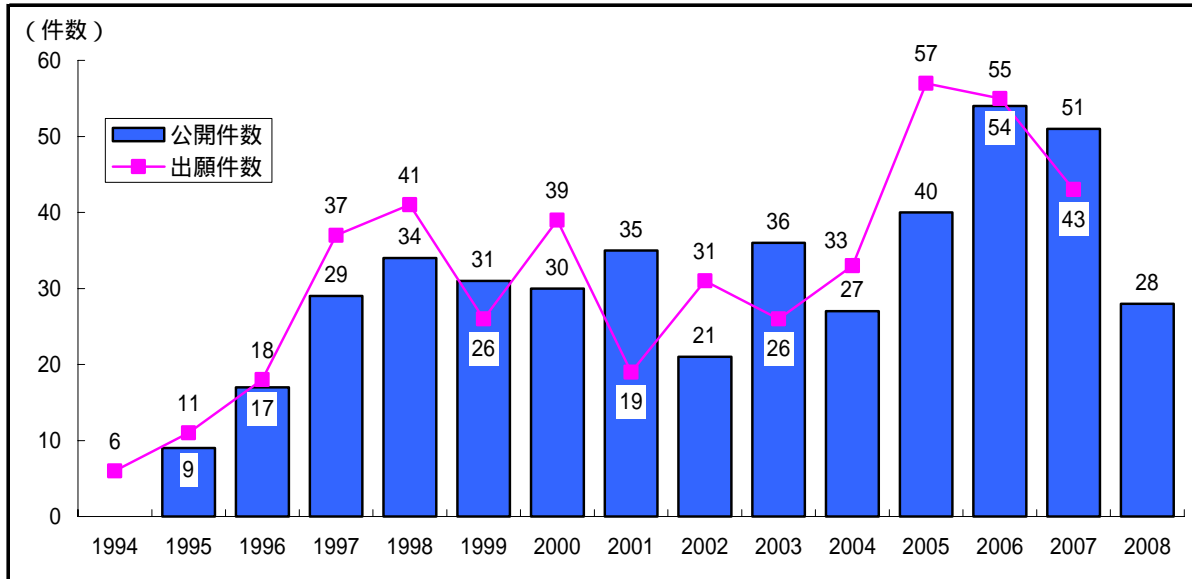
好評発売中

## サンプル図面

(SiC デバイス関連技術の最新動向分析調査 Part より)

Part では、PCT 公開特許、米国登録特許とも全体的な件数推移や技術区分別の動向、出願人の動向を扱った「全体分析」と、注目すべき特許を抽出し個別に分析を加えた「注目特許分析」の2つから構成されています。以下にその代表的な図面をサンプルとして掲載します。

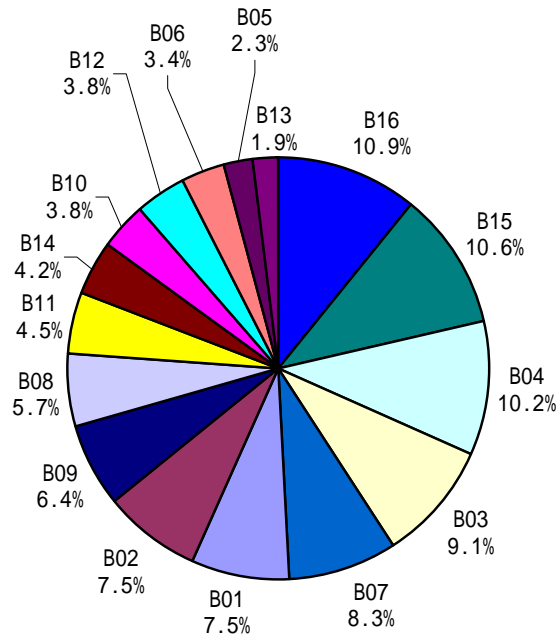
図 1 . PCT 公開特許の出願年別・公開年別件数推移



注：SiC デバイス関連技術の最新動向分析調査 Part 「2 . PCT 公開特許における全体分析」(P.6) より

図 34 . デバイス技術米国登録特許の要素技術別分布

要素技術	記号
ショットキーダイオード	B01
pn接合ダイオード	B02
Trench MOSFET	B03
Low Ron MOSFET	B04
高耐圧Vertical MOSFET	B05
MOS高信頼化	B06
Vertical JFET	B07
Lateral MOSFET/JFET	B08
BJT	B09
Thyristor/GTO	B10
MESFET	B11
複合デバイス	B12
IGBT、その他のスイッチング素子	B13
スーパ接合ほか(各種パワーデバイスに共通)	B14
ターミネーション/パッシベーション	B15
IC化技術	B16

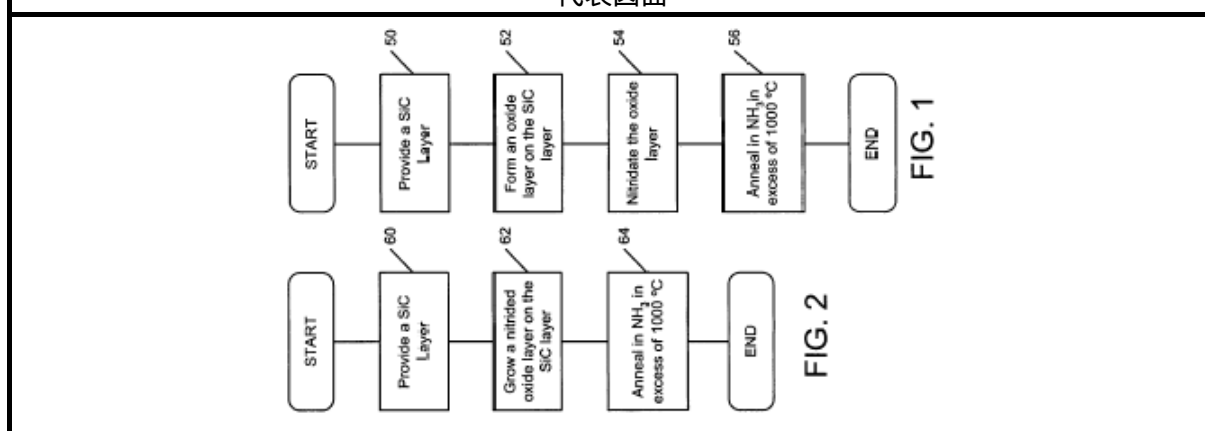


注：SiC デバイス関連技術の最新動向分析調査 Part 「4 . 米国登録特許における全体分析 4 - 2 - 2 . デバイス技術」(P.119) より

注目公開特許 ( 12 )

タイトル	NITROGEN PASSIVATION OF INTERFACE STATES IN SiO <sub>2</sub> /SiC STRUCTURES		
公開特許番号	WO 2004/025719	出願人	CREE
公開日	2004年3月25日	出願日	2003年8月25日
発明者	Adam William Saxler、Mrinal Kanti Das		
解説	[課題]窒化処理によるSiC/SiO <sub>2</sub> 界面の改善。[内容]ゲート絶縁膜を、O <sub>2</sub> 雰囲気中で形成したSiO <sub>2</sub> 膜をN <sub>2</sub> OまたはNOガス中で窒化したあとアンモニア(NH <sub>3</sub> )中1000 の温度でアニールする方法(Fig.1)、もしくはN <sub>2</sub> OまたはNOガス中で形成した窒酸化膜をアンモニア(NH <sub>3</sub> )中1000 の温度でアニールする方法(Fig.2)のいずれかの方法。アニール処理中に混入するO <sub>2</sub> によって酸化が進行してトラップ準位の増加を防ぐため、実質的にO <sub>2</sub> を含まない雰囲気中でアニールする方法を規定する。		

代表図面



注：SiC デバイス関連技術の最新動向分析調査 Part 「3 .PCT 公開特許の注目特許分析 3 - 1 - 4 .MOS 界面」  
(P.38) より

お問い合わせ先

株式会社 セミコンダクタポータル

〒107-0052 東京都港区赤坂 2-17-22 赤坂ツインタワー東館 17F

TEL:03-3560-3565 FAX:03-3560-3566 E-mail: Sales@semiconportal.com

担当：営業部 加藤・伊藤

(製 作 元)株式会社キャップインターナショナル

〒181-0001 東京都三鷹市井の頭 1-30-19 モニエ井の頭 101 TEL : 0422-40-0390 FAX : 0422-40-0391

E-Mail : capint@coral.ocn.ne.jp URL : http://www.capint.co.jp/